

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11261053 A
 (43) Date of publication of application: 24.09.1999

(51) Int. Cl H01L 29/778
 H01L 21/338, H01L 29/812

(21) Application number: 10057070
 (22) Date of filing: 09.03.1998

(71) Applicant: FURUKAWA ELECTRIC CO LTD:THE

(72) Inventor: YOSHIDA KIYOTERU

(54) HIGH ELECTRON MOBILITY TRANSISTOR

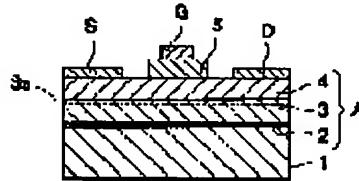
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a high electron mobility transistor(HEMT) of GaN compound semiconductor where a high voltage can be applied.

SOLUTION: A laminated structure A is composed of an I-type semiconductor layer 3 and an N-type semiconductor layer 4 laminated in this sequence on a semi-insulating substrate 1, wherein the semiconductor layers are all formed of GaN compound semiconductor. A gate electrode G is provided in the N-type semiconductor layer 4 through the intermediary of a

P-type semiconductor layer 5 of GaN compound semiconductor, a source electrode S and a drain electrode D are provided direct onto the N-type semiconductor layer 4, and the P-type semiconductor layer 5 is a single-layer structure of P-type GaN layer or P-type In-GaN layer or a two-layered structure composed of a P-type GaN layer and a P-type InGaN layer.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-261053

(43)公開日 平成11年(1999)9月24日

(51)Int.Cl.⁶

識別記号

F I

H 01 L 29/778

H 01 L 29/80

H

21/338

29/812

審査請求 未請求 請求項の数2 O L (全4頁)

(21)出願番号 特願平10-57070

(71)出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(22)出願日 平成10年(1998)3月9日

(72)発明者 吉田 清輝

東京都千代田区丸の内2丁目6番1号 古
河電気工業株式会社内

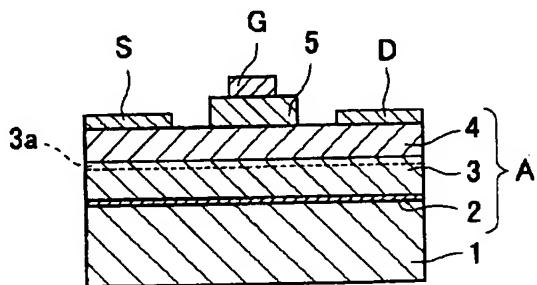
(74)代理人 弁理士 長門 侃二

(54)【発明の名称】 高移動度トランジスタ

(57)【要約】

【課題】 GaN系化合物半導体から成り、高圧印加が可能な高移動度トランジスタ(HEMT)を提供する。

【解決手段】 半絶縁性基板1の上に、i型半導体層3、n型半導体層4をこの順序で積層して成る積層構造1Aが形成され、各半導体層はいずれもGaN系化合物半導体から成り、n型半導体層4の上にはGaN系化合物半導体から成るp型半導体層5を介してゲート電極Gが装荷され、またn型半導体層4の上には直接ソース電極Sとドレイン電極Dがそれぞれ装荷されており、p型半導体層5が、p型GaN層もしくはp型InGaN層の1層構造、またはp型GaN層にp型InGaN層を積層して成る2層構造である。



【特許請求の範囲】

【請求項1】 半絶縁性基板の上に、i型半導体層、n型半導体層をこの順序で積層して成る積層構造が形成され、前記各半導体層はいずれもGaN系化合物半導体から成り、前記n型半導体層の上にはGaN系化合物半導体から成るp型半導体層を介してゲート電極が装荷され、また前記n型半導体層の上には直接ソース電極とドレイン電極がそれぞれ装荷されていることを特徴とする高移動度トランジスタ。

【請求項2】 前記p型半導体層が、p型GaN層もしくはp型InGaN層の1層構造、またはp型GaN層にp型InGaN層を積層して成る2層構造である請求項1の高移動度トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明のGaN系化合物半導体から成る高移動度トランジスタ(HEMT)に関し、更に詳しくは、高電圧印加の下で作動できる新規な構造のHEMTに関する。

【0002】

【従来の技術】 HEMTは、例えば高出力マイクロ波素子の素材として期待されていて、現在ではGaN系化合物半導体を用いて製造されているのが通例である。例えば、半絶縁性基板の上にi型GaN層とn型GaN_{1-x}A_xAs_{1-y}層を順次成膜し、そしてそのn型GaN_{1-x}A_xAs_{1-y}層の上に、ソース電極とドレイン電極が装荷され、更に例えばp型GaN層を介してゲート電極が装荷された構造のものが知られている。

【0003】 この構造のHEMTの場合、 $x = 0.25$ のときのエネルギーバンド図をみると、n型GaN_{0.25}A_{0.75}As_{0.75}層とi型GaN層のヘテロ接合界面におけるヘテロ障壁(ΔE_c)は約0.26eVになっていて、熱平衡状態においては、当該接合界面に2次元電子ガス層が形成される状態になっている。そして、ソース電極とドレイン電極の間に所定値の逆バイアス電圧を印加し、またソース電極とゲート電極の間に順バイアス電圧を印加することにより、前記n型GaN_{1-x}A_xAs_{1-y}層からはその下に位置するi型GaN層へ電子が供給され、供給された電子は前記接合界面で2次元電子ガス層を形成し、そのガス層内に閉じ込められた状態で電子はドレイン電極へと高速で流れHEMT動作を実現する。その場合、ゲート電圧の直下における電界強度が強いほど、2次元電子がガス層への電子の閉じ込め効果は高まるので、高速動作は実現しやすくなる。

【0004】 しかしながら、GaN系HEMTの場合、ヘテロ接合界面における不連続バンドは0.26eV程度($x = 0.25$ のとき)であり、その絶縁破壊電界値は 3×10^5 V/cm程度であるため、ゲート電極に高電圧を印加してその直下に高電界を形成することにより高速動作を実現するという点で難がある。このような問題

に対処することを目的として、最近、GaN系化合物半導体を用いたHEMTの試作研究が行われている。

【0005】 これは、GaN_{1-x}Al_xとGaNとのヘテロ接合界面におけるヘテロ障壁(ΔE_c)は約0.67eVであり、GaN系の場合に比べて約2.6倍と高い不連続バンドを有し、またその絶縁破壊電界値も 2×10^6 V/cmであり、GaN系の場合に比べて1桁大きいので2次元電子ガス層内への電子の閉じ込め効果を高めることができ、理論的には、GaN系に比べて電子濃度を10倍程度大きくすることができるからである。

【0006】 このGaN系HEMTとしては、例えば次のようなものがMOCVD法を用いて製造されている。すなわちまず、半絶縁性のサファイア基板の上に、AlNバッファ層が成膜される。ついで、GaN源としてトリメチルガリウム、N源としてアンモニアを用いて前記AlNバッファ層の上にi型GaN層が成膜され、更にトリメチルアルミニウムをAl源として前記i型GaN層の上にn型AlGaN層が成膜される。そして、このn型AlGaN層に対して常法のホトリソグラフィーとエッチングを行ったのち、所定の箇所にゲート電極、ソース電極、およびドレイン電極が装荷される。

【0007】 このGaN系HEMTの場合、i型GaN層とn型AlGaN層のヘテロ接合界面、具体的にはi型GaN層の最上層に2次元電子ガス層が形成され、ここを電子が高速移動してHEMT動作を実現する。このとき、電子の高移動度を実現するためには、このi型GaN層には不純物や結晶欠陥が極力存在していないことが必要である。

【0008】

【発明が解決しようとする課題】 しかしながら、上記したGaN系HEMTの場合、GaN系HEMTに比べれば高い電圧の印加は可能であるが、更なる高速動作が要求されている昨今の状況に対しては必ずしも充分な電子移動度を発揮するものとはいいがたい。本発明は従来のGaN系HEMTにおける上記した問題を解決し、高耐圧性を備えている新規構造のGaN系HEMTの提供を目的とする。

【0009】

【課題を解決するための手段】 上記した目的を達成するため、本発明においては、半絶縁性基板の上に、i型半導体層、n型半導体層をこの順序で積層して成る積層構造が形成され、前記各半導体層はいずれもGaN系化合物半導体から成り、前記n型半導体層の上にはGaN系化合物半導体から成るp型半導体層を介してゲート電極が装荷され、また前記n型半導体層の上には直接ソース電極とドレイン電極がそれぞれ装荷されていることを特徴とする高移動度トランジスタ、とくに、前記p型半導体層が、p型GaN層もしくはp型InGaN層の1層構造、またはp型GaN層にp型InGaN層を積層して成る2層構造である高移動度トランジスタが提供さ

れる。

【0010】

【発明の実施の形態】以下、本発明のHEMTにつき、その基本構造を示す図1に基づいて詳細に説明する。本発明のHEMTは、半絶縁性基板1の上に、バッファ層2、i型半導体層3、n型半導体層4から成る積層構造Aが形成され、n型半導体層4の上には、p型半導体層6を介してゲート電極Gが装荷され、また、ソース電極S、ドレイン電極Dがそれぞれ装荷された構造になっている。

【0011】このHEMTは、GaN系化合物半導体に対してMOCVD法やMOMBE法など公知のエピタキシャル成長法を適用することにより、半絶縁性基板1の上に所定組成の半導体層を成膜していくことによって製造される。ここで、半絶縁性基板1としては、この上に成膜していく各半導体層との間で格子整合している材料から成ることが本来は好ましいが、GaN系に関してはそのような材料は存在しないので、従来から使用されている材料、例えばサファイア、Si単結晶などの半絶縁性材料の基板であればよい。また、バッファ層2としては、GaN層が選択される。

【0012】i型半導体層3を構成するGaN系化合物半導体としては、例えば、i型GaN、i型InGaNなどをあげることができる。とくに、i型GaNは好適である。また、バンドギャップエネルギーが上記した高純度なi型GaNのそれよりも小さいかまたは同等であれば、i型In_xGa_{1-x}Al_yN（ただし、0 < x < 1, 0 < y < 0.2）をi型半導体層3として用いることもできる。

【0013】n型半導体層4を構成するGaN系化合物半導体としては、例えば、n型AlGaN、n型GaNなどをあげることができる。これらのうち、n型AlGaNは好適である。また、バンドギャップエネルギーが上記n型AlGaNのそれよりも小さいかまたは同等であれば、n型In_uGa_{1-u}Al_vN（ただし、0 < u < 1, 0 < v < 0.5）をn型半導体層として用いることもできる。

【0014】このn型半導体層4の成膜に用いるn型ドーパントとしては、例えば金属Si（MBE法で成膜する場合）やジシラン（MOCVD法で成膜する場合）をあげることができる。このn型半導体層4の上には直接ソース電極Sとドレイン電極Dを装荷することを考えると、両者間でオーミック接触を実現させるため、できるだけ低抵抗となるようにドーパント濃度を設定することが好ましい。例えばn型ドーパントがSiである場合は、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度の濃度にする。

【0015】次に、p型半導体層5を構成するGaN系化合物半導体としては、p型GaN、p型InGaNをあげることができる。このp型半導体層5は、p型GaN層、p型InGaN層のそれぞれ1層から成っていて

20

20

30

40

50

もよいが、p型GaN層の上に更にp型InGaN層を積層して成る2層構造にすることが好適である。このp型半導体層5を成膜するときのp型ドーパントとしては、例えば金属Mg（MBE法で成膜する場合）やシクロペンタジエニルマグネシウム（MOCVD法で成膜する場合）などをあげることができる。このときのp型ドーパントの濃度は $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度にする。

【0016】最後に、ゲート電極Gを構成する材料としては例えばAu/Pt、Alなどをあげることができ、またゲート電極Gを構成する材料としては例えばAu、Ti/Alなどをあげることができる。この構造のHEMTは、ゲート電極Gの下がpn接合構造になっている。そして、ゲート電極Gから電圧印加を行うと、n型半導体層4とi型半導体層3のヘテロ接合界面、具体的には、i型半導体層3の最上層部に2次元電子ガス層3aが形成され、そこにn型半導体層4から供給された電子が閉じ込められ、高速でドレイン電極Dへ流れてHEMT動作を実現する。

【0017】その場合、ゲート電極G直下のpn接合の働きにより少量のキャリア注入で電圧が制御され、かつ制御された電圧によってチャネル間を流れる電流を制御することが可能になるので、前記2次元電子ガス層3aを高電圧で制御することが可能になり、2次元電子ガス層3aへの電子の閉じ込め効果も高くなつて電子の高速移動が可能になる。

【0018】とくに、p型半導体層5が前記したp型GaNとp型InGaNの2層構造になっている場合には、この積層構造が1種の量子井戸構造として機能し、その結果、量子効果によるトンネル電流が流れるようになり、ゲート電流は流れやすくなるので好適である。

【0019】

【実施例】図1で示した積層構造のHEMTをMOMBE法により次のようにして製造した。まず、半絶縁性のSi単結晶基板1の上に、GaN源として金属GaN（ $5 \times 10^{-7} \text{ Torr}$ ）、N源としてジメチルヒドラジン（ $5 \times 10^{-5} \text{ Torr}$ ）を用い、成長温度640°Cでエピタキシャル成長を行い、厚み50ÅのGaNバッファ層2を成膜した。

【0020】ついで、N源をアンモニア（ $5 \times 10^{-5} \text{ Torr}$ ）に切り換え、成長温度を850°Cに上昇してエピタキシャル成長を行い、厚み5000Åのi型GaN層3を成膜した。なお、このときのキャリア濃度は $5 \times 10^{16} \text{ cm}^{-3}$ 以下となるように成膜条件を設定した。

【0021】ついで、金属Al（ $2 \times 10^{-7} \text{ Torr}$ ）を供給し、またn型ドーパントとして金属Si（ $2 \times 10^{-9} \text{ Torr}$ ）を供給し、成長温度850°Cでエピタキシャル成長を継続して、厚みが500Åのn型AlGaN層4を成膜した。このとき、キャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ となるように成膜条件を設定した。ついで、金属Siの供

給を絶ち、p型ドーバントとして金属Mg (5×10^{-9} Torr) を供給して成膜操作を続け、前記n型AlGaN層4の上に厚み500Åのp型GaN層6を成膜した。このとき、キャリア濃度は $1 \times 10^{19} \text{ cm}^{-3}$ となるように成膜条件を設定した。

【0022】ついで、水素とアルゴンとメタンの混合ガスをプラズマ化したものをエッチャントにしてドライエッチングを行い、ゲート電極を装荷すべき箇所以外のp型GaN層をエッチング除去してn型InGaN層4を表出させた。その後、全体の表面を被覆してSiO₂膜をプラズマCVD法で成膜し、ホトレジストでバターニングしたのちゲート電極を装荷すべき箇所を含む部分をマスキングし、ソース電極とドレイン電極を装荷すべき箇所は開口し、そこに表出したn型InGaN層4の上に、金属Auを蒸着することにより、ソース電極Sとドレイン電極Dを装荷した。

【0023】最後、前記マスキングをエッチング除去し、その下のSiO₂膜を開口し、ソース電極Sとドレイン電極Gの箇所をSiO₂膜でマスキングしたのち、上記開口部にAuを蒸着してp型GaN層5の上にはゲート電極Gを装荷して図1で示したHEMTを製造した。このHEMTは、ゲート電圧からの印加電圧を3Vでドレイン電流(I_{ds})が60mA、ドレイン電圧2V以上で飽和するHEMT特性が得られた。すなわち、この飽和特性はV_{ds}を100Vまであげても一定値を保ち、HEMTとしての機能を喪失することはなかった。*

*【0024】室温下でのこのHEMT構造の移動度は、 $600 \text{ cm}^2/\text{V}\cdot\text{sec}$ であり、77Kでの移動度は $7500 \text{ cm}^2/\text{V}\cdot\text{sec}$ と良好な値を示した。

【0025】

【発明の効果】以上の説明で明らかなように、本発明のGaN系HEMTは、ゲート電極をVまで高めても故障を起こすことがなく、従来のGaN系HEMTに比べて高速動作をすることができる。これは、ゲート電極とチャネル層との間をp-n接合構造とし、i型半導体層とn型半導体層との接合界面に電子の閉じ込め効果が優れている2次元電子ガス層が形成されたようにしたことからたらす効果である。

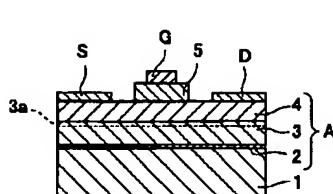
【図面の簡単な説明】

【図1】本発明のHEMTの層構造を示す断面図である。

【符号の説明】

1	半絶縁性基板
2	バッブ層 (GaN層)
3	i型半導体層 (i型GaN層)
3a	2次元電子ガス層
4	n型半導体層 (n型InGaN層)
5	p型半導体層 (p型GaN層)
S	ソース電極
G	ゲート電極
D	ドレイン電極

【図1】



THIS PAGE BLANK (USPTO)